

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0088457  
Application Number

출원 년 월 일 : 2002년 12월 31일  
Date of Application DEC 31, 2002

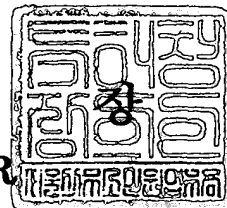
출원 인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003    년    04    월    09    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0078
【제출일자】	2002.12.31
【국제특허분류】	G02F 1/13
【발명의 명칭】	액정 표시패널 및 그 제조방법
【발명의 영문명칭】	LIQUID CRYSTAL DISPLAY PANEL AND FABRICATING METHOD THEREOF
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	1999-055150-5
【발명자】	
【성명의 국문표기】	김영식
【성명의 영문표기】	KIM,Young Sik
【주민등록번호】	720224-1109119
【우편번호】	718-833
【주소】	경상북도 칠곡군 석적면 중리 224-1 LG LCD 중리 기숙사 204동 726호
【국적】	KR
【발명자】	
【성명의 국문표기】	황성수
【성명의 영문표기】	HWANG,Seong Soo
【주민등록번호】	710725-1036818
【우편번호】	730-040
【주소】	경상북도 구미시 형곡동 146 풍림아파트 104동 703호
【국적】	KR

**【발명자】****【성명의 국문표기】**

박대림

**【성명의 영문표기】**

PARK,Dae Lim

**【주민등록번호】**

751003-1797818

**【우편번호】**

718-814

**【주소】**

경상북도 칠곡군 약목면 복성리 1008-1 세정빌라 가동 30호

**【국적】**

KR

**【발명자】****【성명의 국문표기】**

문수환

**【성명의 영문표기】**

MOON,Soo Hwan

**【주민등록번호】**

740612-1696317

**【우편번호】**

730-130

**【주소】**

경상북도 구미시 임은동 대동아파트 1510호

**【국적】**

KR

**【취지】**

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다  
리인  
원 (인) 박장

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

12 면 12,000 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

0 항 0 원

**【합계】**

41,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 액정 표시패널 및 그 제조방법에 관한 것으로, 박막 트랜지스터 어레이 기판의 모서리 영역에 실장되는 라인-온-글래스 배선들과 각각 대응되어 중첩되도록 복수의 화소전극들을 형성하되, 서로 전기적으로 절연되도록 패터닝하여 라인-온-글래스 배선들을 통해 전송되는 전기신호의 특성 변동을 최소화하고, 라인-온-글래스 배선들의 쇼트 발생을 최소화하며, 화소전극들과 Cr 재질의 블랙 매트릭스와의 전식 현상을 완화할 수 있는 액정 표시패널 및 그 제조방법을 제공한다.

**【대표도】**

도 5

## 【명세서】

## 【발명의 명칭】

액정 표시패널 및 그 제조방법{LIQUID CRYSTAL DISPLAY PANEL AND FABRICATING METHOD THEREOF}

## 【도면의 간단한 설명】

도1은 종래 액정 표시패널 및 그 구동부의 접속상태를 개략적으로 보인 예시도.

도2는 종래 라인-온-글래스 방식의 액정 표시패널 및 그 구동부의 접속상태를 개략적으로 보인 예시도.

도3은 도2에 있어서, 라인-온-글래스 배선들이 형성된 영역을 확대하여 도시한 예시도.

도4는 도3에 있어서, I-I' 절단선에 따른 단면 구성을 보인 예시도.

도5는 본 발명의 일 실시예에 따른 액정 표시패널 및 그 일부가 확대된 평면구성을 보인 예시도.

도6은 도5에 있어서, II-II' 절단선에 따른 단면 구성을 보인 예시도.

\*\*\*도면의 주요부분에 대한 부호의 설명\*\*\*

300:실 패턴                      310:제1기판

311A~311C:라인-온-글래스 배선      320:제2기판

330:화상 표시부                  340:게이트 패드부

3601~360N1, 360A2~360N2, 360A3~360N3:화소전극      350:데이터 패드부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12>        본 발명은 액정 표시패널 및 그 제조방법에 관한 것으로, 특히 액정 표시패널 상에 형성된 라인-온-글래스(line on glass : LOG)형 배선들이 전기적으로 접촉되는 것을 억제하고, 전식현상(electrolytic corrosion)을 최소화하기에 적당하도록 한 액정 표시패널 및 그 제조방법에 관한 것이다.
- <13>        일반적으로, 액정 표시장치는 매트릭스(matrix) 형태로 배열된 액정 셀들에 화상정보에 따른 데이터신호를 개별적으로 공급하여, 그 액정 셀들의 광투과율을 조절함으로써, 원하는 화상을 표시할 수 있도록 한 표시장치이다.
- <14>        따라서, 액정 표시장치는 화소 단위의 액정 셀들이 매트릭스 형태로 배열되는 액정 표시패널과; 상기 액정 셀들을 구동시키는 구동회로(driving circuit)를 구비한다.
- <15>        상기 액정 표시패널은 일정한 이격간격을 두고 대향하여 합착된 컬러필터(color filter) 기판 및 박막 트랜지스터 어레이(thin film transistor array) 기판과, 그 컬러필터 기판 및 박막 트랜지스터 어레이 기판의 이격 간격에 형성된 액정층으로 구성된다.
- <16>        상기 액정 표시패널의 박막 트랜지스터 어레이 기판 상에는 화상정보를 액정 셀들에 전송하기 위한 복수의 데이터 라인들과; 주사신호를 액정 셀들에 전송하기 위한 복수의 게이트 라인들이 서로 직교하며, 이들 데이터 라인들과 게이트 라인들의 교차부마다 액정 셀들이 정의된다.

- <17>      상기 컬러필터 기판 및 박막 트랜지스터 어레이 기판의 대향하는 내측 면에는 각각 공통전극과 화소전극이 형성되어 상기 액정층에 전계를 인가한다. 이때, 화소전극은 박막 트랜지스터 어레이 기판 상에 액정 셀 별로 형성되는 반면에 공통전극은 컬러필터 기판의 전면에 일체화되어 형성된다. 따라서, 공통전극에 전압을 인가한 상태에서 화소전극에 인가되는 전압을 제어함으로써, 액정 셀들의 광투과율을 개별적으로 조절할 수 있게 된다.
- <18>      이와같이 화소전극에 인가되는 전압을 액정 셀 별로 제어하기 위하여 각각의 액정 셀에는 스위칭 소자로 사용되는 박막 트랜지스터가 형성된다.
- <19>      상기 구동회로는 상기 게이트 라인들에 주사신호를 공급하는 게이트 구동부와; 상기 데이터 라인들에 화상정보를 공급하는 데이터 구동부와; 상기 게이트 구동부 및 데이터 구동부의 구동 타이밍을 제어하는 타이밍 제어부와; 액정 표시장치에 사용되는 다양한 구동전압들을 공급하는 전원 공급부를 구비한다.
- <20>      상기 타이밍 제어부는 외부의 그래픽 처리부로부터 공급되는 화상정보 및 제어신호를 통해 상기 게이트 구동부와 데이터 구동부의 구동 타이밍을 제어하며, 데이터 구동부에 화상정보를 공급한다.
- <21>      상기 전원 공급부는 외부의 그래픽 처리부로부터 공급되는 전원을 이용하여 액정 표시장치에 사용되는 공통전압( $V_{com}$ ), 게이트 하이전압( $V_{gh}$ ), 게이트 로우전압( $V_{gl}$ ) 및 감마 기준전압( $V_{ref}$ )과 같은 구동전압을 생성하여 게이트 구동부, 데이터 구동부, 감마 전압발생부 및 액정 표시패널들에 공급한다.

- <22>       상기 게이트 구동부는 상기 게이트 라인들에 순차적으로 주사신호를 공급함으로써, 매트릭스 형태로 배열된 액정 셀들이 1개 라인씩 선택되도록 하고, 그 선택된 1개 라인의 액정 셀들에는 상기 데이터 구동부로부터 데이터 라인들을 경유하여 화상정보가 공급된다.
- <23>       상기 화상정보는 액정 셀들의 화소전극에 개별적으로 공급되며, 상기 공통전압(Vcom)이 공통전극에 공급되어, 화소전극과 공통전극 사이의 전압차에 따라 액정층에 전계가 인가됨에 따라 액정 셀들의 광투과율을 개별적으로 조절하여 원하는 화상을 표시할 수 있게 된다.
- <24>       상기 액정 표시패널과 직접 접속되는 데이터 구동부와 게이트 구동부는 다수개의 집적회로(integrated circuit : IC)들로 제작된다.
- <25>       상기 데이터 구동 집적회로들과 게이트 구동 집적회로들은 테이프 캐리어 패키지(tape carrier package : TCP) 상에 실장되어 탭(tape automated bonding : TAB) 방식으로 액정 표시패널에 접속된다.
- <26>       상기 데이터 구동 집적회로들이 테이프 캐리어 패키지를 통해 탭 방식으로 액정 표시패널에 접속되는 경우에, 그 테이프 캐리어 패키지는 데이터 인쇄회로기판(printed circuit board : PCB)에 접속되며, 그 데이터 인쇄회로기판에 실장된 배선들을 통해 전술한 타이밍 제어부와 전원 공급부로부터 화상정보, 제어신호들 및 구동전압들이 공급된다.
- <27>       또한, 상기 게이트 구동 집적회로들이 테이프 캐리어 패키지를 통해 탭 방식으로 액정 표시패널에 접속되는 경우에, 그 테이프 캐리어 패키지는 게이트 인쇄회로기판에



접속되며, 그 게이트 인쇄회로기판에 실장된 배선들을 통해 전술한 타이밍 제어부와 전원 공급부로부터 제어신호들 및 구동전압들이 공급된다.

<28> 그런데, 최근 들어 급속하게 발전되고 있는 반도체 공정기술 및 패키징 기술에 의해 고집적 및 고성능을 갖는 반도체 칩이 출현함에 따라 상기 게이트 인쇄회로기판에 실장되던 컨트롤러를 상기 데이터 인쇄회로기판에 실장하여 고집적 및 고성능 반도체 칩으로 원-칩(one chip)화할 수 있게 되었다. 따라서, 게이트 인쇄회로기판은 단순히 데이터 인쇄회로기판에서 처리된 신호를 전달하는 기능을 수행하게 되었다.

<29> 상기한 바와같은 종래 액정 표시패널 및 그 구동부의 접속상태를 도1의 예시도에 개략적으로 도시하였다.

<30> 도1을 참조하면, 대향하여 합착된 박막 트랜지스터 어레이 기판(10) 및 컬러필터 기판(20)과; 상기 박막 트랜지스터 어레이 기판(10)의 게이트 패드부에 접속된 게이트 테이프 캐리어 패키지(30)와; 상기 박막 트랜지스터 어레이 기판(10)의 데이터 패드부에 접속된 데이터 테이프 캐리어 패키지(40)와; 상기 게이트 테이프 캐리어 패키지(30)에 접속된 게이트 인쇄회로기판(50)과; 상기 데이터 테이프 캐리어 패키지(40)에 접속된 데이터 인쇄회로기판(60)이 도시되어 있다.

<31> 상기 데이터 인쇄회로기판(60)에는 화상정보, 제어신호들 및 구동전압들을 처리하는 컨트롤러(도시되지 않음)가 구비된다. 이때, 컨트롤러는 전술한 바와같이 게이트 인쇄회로기판(50)으로 공급된 제어신호들 및 구동전압들을 처리할 수 있도록 고집적 및 고성능 컨트롤러가 적용된다. 따라서, 상기 게이트 인쇄회로기판(50)은 상기 데이터 인쇄회로기판(50)으로부터 공급되는 제어신호들 및 구동전압들을 상기 게이트 테이프 캐리어

패키지(30)를 통해 박막 트랜지스터 어레이 기판(10)의 게이트 패드부에 전달하는 단순 기능을 갖는다.

<32>       상기한 바와같이 데이터 인쇄회로기판(60)으로부터 제어신호들 및 구동전압들을 게이트 인쇄회로기판(50)으로 공급하기 위해서 상기 게이트 인쇄회로기판(50)과 데이터 인쇄회로기판(60)에는 각각 커넥터(55,65)들이 형성되고, 상기 게이트 인쇄회로기판(50)과 데이터 인쇄회로기판(60)에 형성된 커넥터(55,65)들은 플렉시블 플레이트 케이블(flexible plate cable : FPC, 70)에 의해 전기적으로 접속된다.

<33>       그러나, 상기한 바와같이 데이터 인쇄회로기판(60)으로부터 제어신호들 및 구동전압들을 게이트 인쇄회로기판(50)으로 공급하기 위하여 각각 커넥터(55,65)들을 형성하고, 플렉시블 플레이트 케이블(70)을 통해 커넥터(55,65)들을 전기적으로 접속시킴에 따라 종래의 액정 표시장치는 다음과 같은 문제들이 발생된다.

<34>       첫째, 박형의 게이트 인쇄회로기판(50)과 데이터 인쇄회로기판(60) 상에 각각 커넥터(55,65)들이 형성됨에 따라 커넥터(55,65)들의 두께에 해당하는 만큼 액정 표시장치의 두께가 필연적으로 증가되어 액정 표시장치의 박형화를 저해시키는 요인이 된다.

<35>       둘째, 상기 커넥터(55,65)들을 전기적으로 접속시키는 플렉시블 플레이트 케이블(70)을 설치하여야 함에 따라 액정 표시장치의 제작을 위한 공정 수가 증가되고, 액정 표시장치의 제조원가를 상승시키는 요인이 된다.

<36>       따라서, 최근 들어 상기 데이터 인쇄회로기판(60)으로부터 제어신호들 및 구동전압들을 게이트 인쇄회로기판(50)으로 공급하기 위한 배선들을 박막 트랜지스터 어레이 기

판(10)의 외곽 더미영역에 실장하는 라인-온-글래스 방식의 액정 표시장치가 제안되었다

- <37>       상기한 바와같은 종래 라인-온-글래스 방식의 액정 표시패널 및 그 구동부의 접속 상태를 도2의 예시도에 개략적으로 도시하였다.
- <38>       도2를 참조하면, 대향하여 합착된 박막 트랜지스터 어레이 기판(110) 및 컬러필터 기판(120)과; 상기 박막 트랜지스터 어레이 기판(110)의 게이트 패드부에 접속된 게이트 테이프 캐리어 패키지(130)와; 상기 박막 트랜지스터 어레이 기판(110)의 데이터 패드부에 접속된 데이터 테이프 캐리어 패키지(140)와; 상기 게이트 테이프 캐리어 패키지(130)에 접속된 게이트 인쇄회로기판(150)과; 상기 데이터 테이프 캐리어 패키지(140)에 접속된 데이터 인쇄회로기판(160)이 도시되어 있다.
- <39>       상기 데이터 인쇄회로기판(160)에는 화상정보, 제어신호들 및 구동전압들을 처리하는 컨트롤러가 구비되며, 그 컨트롤러는 게이트 인쇄회로기판(150)으로 공급될 제어신호들 및 구동전압들을 처리할 수 있도록 고집적 및 고성능 컨트롤러가 적용된다. 따라서, 상기 게이트 인쇄회로기판(150)은 상기 데이터 인쇄회로기판(150)으로부터 공급되는 제어신호들 및 구동전압들을 상기 게이트 테이프 캐리어 패키지(130)를 통해 박막 트랜지스터 어레이 기판(110)의 게이트 패드부에 전달하는 단순 기능을 갖는다.
- <40>       일반적으로, 액정 표시패널은 박막 트랜지스터 어레이 기판(110)과 컬러필터 기판(120)이 일정한 이격간격을 갖고 대향하도록 합착되며, 그 이격간격에 액정층이 형성된다.

- <41>      상기 박막 트랜지스터 어레이 기관(110)의 단변 일측 및 장변 일측은 상기 컬러필터 기관(120)에 비해 돌출되며, 그 돌출된 영역에 박막 트랜지스터 어레이 기관(110)의 게이트 라인들과 전기적으로 접속되는 게이트 패드부 및 데이터 라인들과 전기적으로 접속되는 데이터 패드부가 형성된다.
- <42>      상기 게이트 패드부 및 데이터 패드부는 함착된 박막 트랜지스터 어레이 기관(110) 및 컬러필터 기관(120)의 유효 화상 표시부에 대응하여 형성된다.
- <43>      따라서, 상기 박막 트랜지스터 어레이 기관(110)의 단변 일측 및 장변 일측이 만나는 모서리 부분은 액정 표시패널에서 어떠한 목적으로도 사용되지 않는 더미 영역이다.
- <44>      그런데, 상기 라인-온-글래스 방식의 액정 표시패널에서는 상기 박막 트랜지스터 어레이 기관(110)의 단변 일측 및 장변 일측이 만나는 모서리 부분(즉, 더미영역)에 라인-온-글래스 배선(111)들이 실장되어 상기 데이터 인쇄회로기관(160)으로부터 제어신호들 및 구동전압들을 게이트 인쇄회로기관(150)으로 공급한다.
- <45>      따라서, 전술한 도1의 커넥터(55,65)들이 상기 게이트 인쇄회로기관(150)과 데이터 인쇄회로기관(160) 상에 형성될 필요가 없고, 또한 그 커넥터(55,65)들을 전기적으로 접속시키는 플렉시블 플레이트 케이블(70)이 요구되지 않게 된다.
- <46>      상기 라인-온-글래스 배선(111)들을 통해 게이트 인쇄회로기관(150)에 공급되는 구동전압들은 게이트 하이전압( $V_{gh}$ ), 게이트 로우전압( $V_{gl}$ ), 공통전압( $V_{com}$ ), 접지전압( $GND$ ) 및 전원전압( $V_{cc}$ ) 등과 같은 직류 신호들이다. 또한, 상기 라인-온-글래스 배선(111)들을 통해 게이트 인쇄회로기관(150)에 공급되는 제어신호들은 게이트 스타트 펄스

(GSP), 게이트 쉬프트 클럭(GSC) 및 게이트 인에이블 신호(GOE) 등과 같은 교류 신호들이다.

<47>       상기한 바와같은 라인-온-글래스 배선(111)들은 통상 상기 박막 트랜지스터 어레이 기판(110) 상에 게이트 라인들 및 게이트 전극들을 형성하는 공정에서 동시에 패터닝되어 형성된다.

<48>       도3은 전술한 도2의 박막 트랜지스터 어레이 기판(110) 상에 라인-온-글래스 배선(111)들이 형성된 영역을 확대하여 도시한 예시도이다.

<49>       도3을 참조하면, 박막 트랜지스터 어레이 기판(110)의 일측 단면 및 일측 장변이 만나는 모서리 영역에 일정하게 이격되는 라인-온-글래스 배선(111A~111C)들이 형성된다.

<50>       상기 라인-온-글래스 배선(111A~111C)들은 전술한 바와같이 박막 트랜지스터 어레이 기판(110) 상에 게이트 라인들 및 게이트 전극들을 형성하는 공정에서 동시에 패터닝되어 형성된다.

<51>       또한, 상기 박막 트랜지스터 어레이 기판(110)의 라인-온-글래스 배선(111A~111C)들이 형성된 영역에는 실 패턴(112)이 형성된다. 이때, 실 패턴(112)은 액정 표시패널의 화상 표시영역 외곽을 따라 형성되어 박막 트랜지스터 어레이 기판(110)과 컬러필터 기판(도면 상에 도시되지 않음, 도2의 '120' 참조)을 합착시킨다.

<52>       도4는 도3의 'I-I' 절단 선에 의한 단면 구성을 보인 예시도로서, 이를 참조하여 종래 라인-온-글래스 방식 액정 표시패널 및 그 제조방법을 상세히 설명하면 다음과 같다.

- <53> 먼저, 박막 트랜지스터 어레이 기판(210)의 상면에 일정하게 이격되도록 라인-온-글래스 배선(211A~211C)들을 패터닝한다. 전술한 바와같이 라인-온-글래스 배선(211A~211C)들은 박막 트랜지스터 어레이 기판(210) 상에 게이트 라인들 및 게이트 전극들을 형성하는 공정에서 동시에 패터닝되어 형성된다.
- <54> 그리고, 상기 라인-온-글래스 배선(211A~211C)들이 일정하게 이격되어 패터닝된 박막 트랜지스터 어레이 기판(210)의 상면에 순차적으로 게이트 절연막(220)과 액티브층(230)을 형성한다.
- <55> 상기 게이트 절연막(220)과 액티브층(230)은 상기 박막 트랜지스터 어레이 기판(210)의 화상 표시부에 박막 트랜지스터를 형성하기 위하여 순차적으로 형성되며, 도면 상에 도시되지는 않았지만 화상 표시부에는 액티브층(230)을 패터닝한 다음 데이터 라인들과 박막 트랜지스터의 소스/드레인 전극이 동시에 패터닝된다.
- <56> 상기 액티브층(230)은 화상 표시부의 박막 트랜지스터가 형성되는 영역에서는 비정질 실리콘(amorphous silicon)으로 이루어진 반도체층과, 인(P)이 고농도로 도핑된 n+ 비정질 실리콘으로 이루어진 오믹접촉층(ohmic contact layer)이 연속 증착된 다음 패터닝되며, 상기 데이터 라인들 및 소스/드레인 전극이 패터닝될 때, 노출된 오믹접촉층이 제거되어 박막 트랜지스터의 채널로 적용된다. 따라서, 데이터 라인들 및 소스/드레인 전극의 하부를 제외한 영역에서는 상기 오믹접촉층이 제거되어 반도체층만 잔류하게 된다.
- <57> 그리고, 상기 액티브층(230)의 상면에 보호막(240)을 형성한다. 일반적으로, 보호막(240)은 주로  $\text{SiNx}$  또는  $\text{SiOx}$  등의 무기물질이 박막(薄膜)으로 적용되었으나, 최근들어 액정 표시장치의 개구율을 향상시키기 위하여 유전율이 낮은 벤조싸이클로부텐

(benzocyclobutene : BCB), 에스오지(spin on glass : SOG) 또는 포토-아크릴(photoacryl) 등의 유기물질이 후막(厚膜)으로 적용되고 있다.

<58>       상기 보호막(240)은 상기 드레인 전극의 일부를 노출시키는 드레인 콘택홀이 형성되도록 선택적으로 식각되며, 노출된 드레인 전극은 드레인 콘택홀을 통해 단위 화소에 구비되는 화소전극과 전기적으로 접촉된다. 이때, 보호막(240)으로 벤조싸이클로부텐, 에스오지 또는 포토-아크릴과 같은 유기물질이 적용됨에 따라 드레인 콘택홀을 형성하기 위하여 건식 식각을 적용한다.

<59>       한편, 상기 유기물질이 후막으로 적용되는 보호막(240)은 후속 공정을 통해 형성되는 실 패턴(270)과의 접착특성이 좋지 않기 때문에 합착된 박막 트랜지스터 어레이 기판(210)과 컬러필터 기판(도면상에 도시되지 않음, 도2의 '120' 참조)의 균열이 발생하거나 수분이 화상 표시부 내에 침투되어 액정 표시패널의 불량을 유발할 수 있는 문제가 있다.

<60>       따라서, 상기 드레인 콘택홀을 형성할 때, 라인-온-글래스 배선(211A~211C)들이 형성된 영역의 보호막(240)을 동시에 건식 식각하여 복수의 접착 홀(250)들을 형성함으로써, 실 패턴(270)과의 접착력을 향상시키고 있다. 이때, 보호막(240)의 하부에 형성된 액티브층(230)도 보호막(240)의 건식 식각에 영향을 받아 식각되므로, 접착 홀(250)들의 바닥면에는 게이트 절연막(220)이 노출된다.

<61>       상술한 바와같이 상기 게이트 절연막(220), 보호막(240) 및 접착 홀(250)들이 형성된 결과물의 상부에는 상기 라인-온-글래스 배선(211A~211C)들에 대응하여 증착된 화소전극(260A~260C)들이 패터닝된다.

- <62>       상기 화소전극(260A~260C)들은 전술한 바와같이 화상 표시부의 박막 트랜지스터가 형성되는 영역에서 단위 화소에 구비되어 상기 보호막(240)에 형성된 드레인 콘택홀을 통해 드레인 전극과 전기적으로 접촉되도록 습식 식각에 의해 패터닝되며, 이때 라인-온-글래스 배선(211A~211C)들이 형성된 영역에서 라인-온-글래스 배선(211A~211C)들에 대응하여 중첩되도록 패터닝된다.
- <63>       이와같이 화소전극(260A~260C)을 라인-온-글래스 배선(211A~211C)들에 대응하여 중첩되도록 패터닝하는 이유는 다음과 같다.
- <64>       상기 보호막(240)에 접착 홀(250)들을 형성하는 건식 식각이 과다하게 진행될 경우에 접착 홀(250)들의 바닥면에 노출된 게이트 절연막(220)이 보호막(240)의 건식 식각에 영향을 받아 식각되므로, 상기 접착 홀(250)들의 바닥면에서 게이트 절연막(220)의 하부에 형성된 라인-온-글래스 배선(211A~211C)들이 노출된다.
- <65>       따라서, 상기 화소전극(260A~260C)들을 라인-온-글래스 배선(211A~211C)들이 형성된 영역에서 습식 식각을 통해 제거할 경우에는 상기 접착 홀(250)들을 통해 노출된 라인-온-글래스 배선(211A~211C)들이 화소전극(260A~260C)들의 습식식각에 영향을 받아 식각된다.
- <66>       상기 라인-온-글래스 배선(211A~211C)들이 부분적으로 식각에 의해 손상될 경우에 이를 통해 전송되는 전기신호들의 특성이 변동되며, 심지어 라인-온-글래스 배선(211A~211C)들의 단선이 발생하여 액정 표시장치의 구동불량이 발생하거나 화질이 저하되는 문제점이 있다.



- <67> 따라서, 상기한 바와같은 문제를 방지하기 위하여 화소전극(260A~260C)들을 라인-온-글래스 배선(211A~211C)들에 대응하여 중첩되도록 넓게 패터닝한다.
- <68> 그러나, 상기한 바와같이 화소전극(260A~260C)들을 상기 라인-온-글래스 배선(211A~211C)들에 대응하여 중첩되도록 넓게 패터닝할 경우에는 다음과 같은 문제점이 있다.
- <69> 전술한 바와같이 보호막(240)에 접착 홀(250)들을 형성하는 건식 식각이 과다하게 진행될 경우에 접착 홀(250)들의 바닥면에 노출된 게이트 절연막(220)이 보호막(240)의 건식 식각에 영향을 받아 식각된다.
- <70> 따라서, 상기 접착 홀(250)들의 바닥면에서 게이트 절연막(220)의 하부에 형성된 라인-온-글래스 배선(211A~211C)들이 노출되어 상기 화소전극(260A~260C)들과 각각 전기적으로 접촉되므로, 상기 라인-온-글래스 배선(211A~211C)들을 통해 전송되는 전기신호들의 특성이 변동될 수 있다.
- <71> 특히, 상기 화소전극(260A~260C)들이 라인-온-글래스 배선(211A~211C)들에 대응하여 중첩되도록 넓게 패터닝됨에 따라 예를 들어, 라인-온-글래스 배선(211A)과 화소전극(260A)이 하나의 접촉 홀(250)에서 전기적으로 접촉될 경우에도 라인-온-글래스 배선(211A)과 대응하여 중첩되도록 넓게 패터닝된 화소전극(260A)의 전체 면적이 라인-온-글래스 배선(211A)과 전기적으로 접촉되므로, 라인-온-글래스 배선(211A)을 통해 전송되는 전기신호의 특성 변동이 매우 심해질 수 있다.
- <72> 또한, 상기 라인-온-글래스 배선(211A~211C)들에 대응하여 중첩되도록 넓게 패터닝되어 라인-온-글래스 배선(211A~211C)들과 전기적으로 접촉되는 상기 화소전극(260A

~260C)들로 인해 라인-온-글래스 배선(211A~211C)들이 형성된 영역의 박막 트랜지스터 어레이 기판(210) 상에 도전성 이물질(예를 들어, Ag dot residual)이 흡착될 경우에 상기 라인-온-글래스 배선(211A~211C)들이 전기적으로 접촉되는 쇼트(short)가 발생하여 액정 표시장치의 불량 발생하는 문제점이 있다.

<73> 그리고, 상기 화소전극(260A~260C)들이 라인-온-글래스 배선(211A~211C)들에 대응하여 중첩되도록 넓게 패터닝되어 라인-온-글래스 배선(211A~211C)들과 전기적으로 접촉됨에 따라 예를 들어, 라인-온-글래스 배선(211C)에 -5V의 전압값을 갖는 게이트 로우 전압(Vg1)이 전송될 경우에 그 라인-온-글래스 배선(211C)과 전기적으로 접촉되는 화소전극(260C)에 -5V의 전압값이 인가된다.

<74> 따라서, -5V의 전압값이 인가된 화소전극(260C)과 컬러필터 기판에 Cr 재질로 형성되는 블랙 매트릭스와의 전식 현상이 발생되는데, 화소전극(260C)이 라인-온-글래스 배선(211C)과 중첩되도록 넓게 패터닝됨에 따라 전식 현상이 매우 심화되는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<75> 본 발명은 상기한 바와같은 종래의 문제점을 해결하기 위하여 창안한 것으로, 본 발명의 목적은 액정 표시패널 상에 형성된 라인-온-글래스형 배선들이 전기적으로 접촉되는 것을 억제하고 전식현상을 최소화할 수 있는 액정 표시패널 및 그 제조방법을 제공하는데 있다.

## 【발명의 구성 및 작용】

- <76>       상기 본 발명의 목적을 달성하기 위한 액정 표시패널은 제1기판과; 상기 제1기판 상에 복수의 화소들이 배열되는 화상 표시부와; 상기 제1기판의 모서리 영역에 실장된 적어도 하나의 라인-온-글래스 배선과; 상기 라인-온-글래스 배선에 대응하여 적어도 하나의 중간막을 사이에 두고 중첩되며, 서로 전기적으로 절연된 복수의 투명전극들을 구비하여 구성되는 것을 특징으로 한다.
- <77>       상기 본 발명의 목적을 달성하기 위한 액정 표시패널의 제조방법은 제1기판 상에 적어도 하나의 라인-온-글래스 배선을 패터닝하는 공정과; 상기 라인-온-글래스 배선이 패터닝된 제1기판의 상면에 적어도 하나의 중간막을 형성하는 공정과; 상기 중간막의 상면에 상기 라인-온-글래스 배선에 대응하여 중첩되며, 서로 이격되는 복수의 투명전극들을 패터닝하는 공정을 포함하여 이루어지는 것을 특징으로 한다.
- <78>       상기한 바와같은 본 발명에 의한 액정 표시패널 및 그 제조방법을 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.
- <79>       도5는 본 발명의 일 실시예에 따른 액정 표시패널 및 그 일부가 확대된 평면구성을 보인 예시도이다.
- <80>       도5를 참조하면, 제1기판(310)의 일측 단변 및 일측 장변이 돌출되도록 제1기판(310)과 제2기판(320)이 합착되며, 그 제1기판(310)과 제2기판(320)의 합착된 영역 내에 복수의 화소들이 매트릭스 형태로 배열되는 화상 표시부(330)가 도시되어 있다.
- <81>       상기 제1기판(310)으로는 액정 표시패널의 박막 트랜지스터 어레이 기판이 적용되며, 제2기판(320)은 컬러필터 기판이 적용된다.

- <82> 따라서, 상기 화상 표시부(330)의 제1기판(310)에는 일정하게 이격되어 횡으로 배열되는 복수의 게이트 라인들과 일정하게 이격되어 열로 배열되는 복수의 데이터 라인들이 형성되며, 그 게이트 라인들과 데이터 라인들의 교차영역마다 복수의 화소들이 정의되어 매트릭스 형태로 배열된다.
- <83> 상기 복수의 화소들에는 스위칭소자로 박막 트랜지스터가 개별적으로 구비되며, 또한 박막 트랜지스터에 접속되는 화소전극이 개별적으로 구비된다.
- <84> 상기 박막 트랜지스터는 상기 게이트 라인들과 동시에 패터닝되어 게이트 라인들과 전기적으로 접속되는 게이트 전극과, 상기 데이터 라인들과 동시에 패터닝되어 데이터 라인들과 전기적으로 접속되는 소스 전극과, 상기 데이터 라인들 및 소스 전극과 동시에 패터닝되어 상기 화소전극과 전기적으로 접속되는 드레인 전극을 구비한다.
- <85> 상기 화상 표시부(330)의 제2기판(320)에는 블랙 매트릭스에 의해 화소별로 분리되어 도포된 적, 녹, 청 색상의 칼러필터들과, 상기 제1기판(310)에 형성된 화소전극의 상대전극인 공통전극이 구비된다.
- <86> 상기 제1기판(310)과 제2기판(320)은 화상 표시부(330)의 외곽을 따라 형성되는 실 패턴(300)에 의해 합착된다. 이때, 제1기판(310)이나 제2기판(320) 상에는 무작위로 산포된 스페이서-볼(spacer ball)이나 포토리소그래피(photolithography) 공정을 통해 패터닝된-스페이서(patterned spacer)가 형성되어 일정한 이격간격을 갖게 되며, 그 이격간격에 액정층이 형성된다.
- <87> 한편, 상기 제1기판(310)의 돌출된 일측 단면에는 상기 화상 표시부(330)와 대응되는 영역에 상기 게이트 라인들과 전기적으로 접속되어 게이트 라인들에 구동신호들을 공

급하는 게이트 패드부(340)가 형성되고, 돌출된 일측 장변에는 상기 화상 표시부(330)와 대응되는 영역에 상기 데이터 라인들과 전기적으로 접속되어 데이터 라인들에 화상정보를 공급하는 데이터 패드부(350)가 형성된다.

<88>       상기 제1기판(310)의 돌출된 일측 단변 및 일측 장변이 만나는 모서리 부분에는 라인-온-글래스 배선(311A~311C)들이 실장되어 게이트 하이전압(V<sub>gh</sub>), 게이트 로우전압(V<sub>gl</sub>), 공통전압(V<sub>com</sub>), 접지전압(GND) 및 전원전압(V<sub>cc</sub>) 등과 같은 직류 신호들과 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭(GSC) 및 게이트 인에이블 신호(GOE) 등과 같은 교류 신호들을 전송한다.

<89>       상기 라인-온-글래스 배선(311A~311C)들은 통상 제1기판(310) 상에 게이트 라인들 및 게이트 전극들을 형성하는 공정에서 동시에 패터닝되어 형성된다.

<90>       상기 라인-온-글래스 배선(311A~311C)들의 상면에는 복수의 화소전극(360A1~360N1, 360A2~360N2, 360A3~360N3)들이 적어도 하나의 중간막(도면상에 도시되지 않음)을 사이에 두고 각각의 라인-온-글래스 배선(311A~311C)들과 중첩되도록 패터닝되며, 그 복수의 화소전극(360A1~360N1, 360A2~360N2, 360A3~360N3)들은 서로 이격되도록 패터닝되어 전기적으로 절연된다.

<91>       도6은 상기 도5의 II-II' 절단 선에 의한 단면 구성을 보인 예시도로서, 이를 참조하여 본 발명에 의한 라인-온-글래스 방식 액정 표시패널 및 그 제조방법을 보다 상세히 설명하면 다음과 같다.

<92>       먼저, 제1기판(410)의 상면에 일정하게 이격되는 라인-온-글래스 배선(411A~411C)들을 패터닝한다. 전술한 바와같이 라인-온-글래스 배선(411A~411C)들은 제1기판(410)

의 화상 표시부에 게이트 라인들 및 게이트 전극들을 형성하는 공정에서 동시에 패터닝되어 형성된다.

<93> 그리고, 상기 라인-온-글래스 배선(411A~411C)들이 일정하게 이격되어 패터닝된 제1기판(410)의 상면에 순차적으로 게이트 절연막(420)과 액티브층(430)을 형성한다.

<94> 상기 게이트 절연막(420)과 액티브층(430)은 상기 제1기판(410)의 화상 표시부에 박막 트랜지스터를 형성하기 위하여 순차적으로 형성되며, 도면상에 도시되지는 않았지만 화상 표시부에는 액티브층(430)을 패터닝한 다음 데이터 라인들과 박막 트랜지스터의 소스/드레인 전극이 동시에 패터닝된다.

<95> 상기 액티브층(430)은 화상 표시부의 박막 트랜지스터가 형성되는 영역에서는 비정질 실리콘으로 이루어진 반도체층과, 인(P)이 고농도로 도핑된 n+ 비정질 실리콘으로 이루어진 오믹접촉층이 연속 증착된 다음 패터닝되며, 상기 데이터 라인들 및 소스/드레인 전극이 패터닝될 때, 노출된 오믹접촉층이 제거되어 박막 트랜지스터의 채널로 적용된다. 따라서, 데이터 라인들 및 소스/드레인 전극의 하부를 제외한 영역에서는 상기 오믹접촉층이 제거되어 반도체층만 잔류하게 된다.

<96> 그리고, 상기 액티브층(430)의 상면에 보호막(440)을 형성한다. 이때, 보호막(400)은 유전율이 낮은 벤조싸이클로부텐(BCB), 에스오지(SOG) 또는 포토-아크릴 등의 유기물질을 후막으로 적용하는 것이 바람직하며, 이로 인해 액정 표시장치의 개구율을 향상시킬 수 있게 된다.

<97> 상기 보호막(440)은 상기 드레인 전극의 일부를 노출시키는 드레인 콘택홀이 형성되도록 선택적으로 식각되며, 전술한 바와같이 드레인 전극은 드레인 콘택홀을 통해 단

위 화소에 구비되는 화소전극과 전기적으로 접촉된다. 이때, 보호막(440)으로 벤조사이클로부텐, 에스오지 또는 포토-아크릴과 같은 유기물질이 적용됨에 따라 드레인 콘택홀을 형성하기 위하여 건식 식각을 적용한다.

<98> 한편, 상기 유기물질이 후막으로 적용되는 보호막(440)은 후속 공정을 통해 형성되는 실 패턴과의 접착특성이 좋지 않기 때문에 합착된 제1기판(410)과 제2기판(도면상에 도시되지 않음, 도5의 '320' 참조)의 균열이 발생하거나 화상 표시부 내에 수분이 침투되어 액정 표시패널의 불량을 유발할 수 있는 문제가 있다.

<99> 따라서, 상기 드레인 콘택홀을 형성할 때, 라인-온-글래스 배선(411A~411C)들이 형성된 영역의 보호막(440)을 동시에 건식 식각하여 복수의 접착 홀(450)들을 형성함으로써, 실 패턴과의 접착력을 향상시키고 있다. 이때, 보호막(440)의 하부에 형성된 액티브층(430)도 보호막(440)의 건식 식각에 영향을 받아 식각되므로, 접착 홀(450)들의 바닥면에는 게이트 절연막(420)이 노출된다.

<100> 상술한 바와같이 상기 게이트 절연막(420), 보호막(440) 및 접착 홀(450)들이 형성된 결과물의 상부에는 상기 라인-온-글래스 배선(411A~411C)들에 각각 대응되어 중첩되는 복수의 화소전극(460A1~460N1, 460A2~460N2, 460A3~460N3)들이 패터닝되며, 그 복수의 화소전극(460A1~460N1, 460A2~460N2, 460A3~460N3)들은 서로 이격되도록 패터닝되어 전기적으로 절연된다.

<101> 상기 화소전극(460A1~460N1, 460A2~460N2, 460A3~460N3)들은 전술한 바와같이 화상 표시부의 박막 트랜지스터가 형성되는 영역에서 단위 화소에 구비되어 상기 보호막(440)에 형성된 드레인 콘택홀을 통해 드레인 전극과 전기적으로 접촉되도록 습식 식각

에 의해 패터닝되며, 이때 라인-온-글래스 배선(411A~411C)들이 형성된 영역에서 라인-온-글래스 배선(411A~411C)들과 중첩되도록 패터닝된다.

<102> 이와같이 화소전극(460A1~460N1, 460A2~460N2, 460A3~460N3)들을 라인-온-글래스 배선(411A~411C)들과 중첩되도록 패터닝하는 이유는 다음과 같다.

<103> 상기 보호막(440)에 접착 홀(450)들을 형성하는 건식 식각이 과다하게 진행될 경우에 접착 홀(450)들의 바닥면에 노출된 게이트 절연막(420)이 보호막(440)의 건식 식각에 영향을 받아 식각되므로, 상기 접착 홀(450)들의 바닥면에서 게이트 절연막(420)의 하부에 형성된 라인-온-글래스 배선(411A~411C)들이 노출된다.

<104> 따라서, 상기 화소전극(460A1~460N1, 460A2~460N2, 460A3~460N3)들을 라인-온-글래스 배선(411A~411C)들이 형성된 영역에서 습식 식각을 통해 제거할 경우에는 상기 접착 홀(450)들을 통해 노출된 라인-온-글래스 배선(411A~411C)들이 화소전극(460A1~460N1, 460A2~460N2, 460A3~460N3)들의 습식식각에 영향을 받아 식각된다.

<105> 상기 라인-온-글래스 배선(411A~411C)들이 부분적으로 식각에 의해 손상될 경우에 이를 통해 전송되는 전기신호들의 특성이 변동되며, 심지어 라인-온-글래스 배선(411A~411C)들의 단선이 발생하여 액정 표시장치의 구동불량이 발생하거나 화질이 저하되는 문제점이 있다. 따라서, 화소전극(460A1~460N1, 460A2~460N2, 460A3~460N3)들을 라인-온-글래스 배선(411A~411C)들과 중첩되도록 패터닝하여 상기한 바와같은 문제를 방지한다.

<106> 한편, 종래의 문제점을 다시 한번 살펴보면, 도4에 도시된 바와같이 화소전극(260A~260C)들이 각각 라인-온-글래스 배선(211A~211C)들에 대응하여 중첩되도록 넓게 패터닝된다.



- <107> 따라서, 보호막(240)에 접착 홀(250)들을 형성하는 건식 식각이 과다하게 진행될 경우에 접착 홀(250)들의 바닥면에 노출된 게이트 절연막(220)이 보호막(240)의 건식 식각에 영향을 받아 식각되므로, 접착 홀(250)들의 바닥면에서 라인-온-글래스 배선(211A~211C)들이 노출되고, 상기 화소전극(260A~260C)들과 전기적으로 접촉되어 라인-온-글래스 배선(211A~211C)들을 통해 전송되는 전기신호들의 특성이 변동될 수 있다.
- <108> 즉, 상기 화소전극(260A~260C)들이 라인-온-글래스 배선(211A~211C)들에 대응하여 중첩되도록 넓게 패터닝되어 라인-온-글래스 배선(211A~211C)들과 전기적으로 접촉됨에 따라 라인-온-글래스 배선(211A~211C)들을 통해 전송되는 전기신호들의 특성 변동이 매우 심해질 수 있다.
- <109> 또한, 상기 라인-온-글래스 배선(211A~211C)들에 대응하여 중첩되도록 넓게 패터닝되어 라인-온-글래스 배선(211A~211C)들과 전기적으로 접촉되는 상기 화소전극(260A~260C)들로 인해 라인-온-글래스 배선(211A~211C)들이 형성된 영역의 박막 트랜지스터 어레이 기판(210) 상에 도전성 이물질(예를 들어, Ag dot residual)이 흡착될 경우에 상기 라인-온-글래스 배선(211A~211C)들이 전기적으로 접촉되는 쇼트(short)가 발생할 수 있다.
- <110> 그리고, 상기 화소전극(260A~260C)들이 라인-온-글래스 배선(211A~211C)들에 대응하여 중첩되도록 넓게 패터닝되어 라인-온-글래스 배선(211A~211C)들과 전기적으로 접촉됨에 따라 예를 들어, 라인-온-글래스 배선(211C)에 -5V의 전압값을 갖는 게이트 로우 전압(Vg1)이 인가될 경우에 그 라인-온-글래스 배선(211C)과 전기적으로 접촉되는 화소전극(260C)에 -5V의 전압값이 인가된다.

- <111> 따라서, -5V의 전압값이 인가된 화소전극(260C)과 컬러필터 기판에 Cr 재질로 형성되는 블랙 매트릭스와의 전식 현상이 발생되는데, 화소전극(260C)이 라인-온-글래스 배선(211C)과 중첩되도록 넓게 패터닝됨에 따라 전식 현상이 매우 심해질 수 있다.
- <112> 그러나, 본 발명의 일 실시예에 따른 액정 표시패널 및 그 제조방법은 전술한 바와 같이 라인-온-글래스 배선(411A~411C)들에 각각 대응되어 중첩되는 복수의 화소전극(460A1~460N1, 460A2~460N2, 460A3~460N3)들이 패터닝되며, 그 복수의 화소전극(460A1~460N1, 460A2~460N2, 460A3~460N3)들은 서로 이격되도록 패터닝되어 전기적으로 절연된다.
- <113> 따라서, 보호막(440)에 접착 홀(450)들을 형성하는 건식 식각이 과다하게 진행됨에 따라 접착 홀(450)들의 바닥면에서 라인-온-글래스 배선(411A~411C)들이 노출되어 상기 화소전극(460A1~460N1, 460A2~460N2, 460A3~460N3)들과 전기적으로 접촉될 경우에도 라인-온-글래스 배선(411A~411C)들을 통해 전송되는 전기신호들의 특성 변동을 최소화할 수 있게 된다.
- <114> 즉, 화소전극(460A1~460N1, 460A2~460N2, 460A3~460N3)들이 서로 이격되도록 패터닝되어 전기적으로 절연됨에 따라 예를 들어, 화소전극(460A1)과 라인-온-글래스 배선(411A)이 하나의 접촉 홀(450)에서 전기적으로 접촉될 경우에 그 화소전극(460A1)에 해당하는 면적만이 라인-온-글래스 배선(411A)과 전기적으로 접촉되므로, 라인-온-글래스 배선(411A)을 통해 전송되는 전기신호의 특성 변동을 종래에 비해 대폭 줄일 수 있게 된다.
- <115> 또한, 화소전극(460A1~460N1, 460A2~460N2, 460A3~460N3)들이 서로 이격되도록 패터닝되어 전기적으로 절연됨에 따라 라인-온-글래스 배선(411A~411C)들이 형성된 영역

의 제1기판(410) 상에 도전성 이물질(예를 들어, Ag dot residual)이 흡착될 경우에도 라인-온-글래스 배선(411A~411C)들이 전기적으로 접촉되는 쇼트 발생을 최소화할 수 있게 된다.

<116> 그리고, 화소전극(460A1~460N1, 460A2~460N2, 460A3~460N3)들이 서로 이격되도록 패터닝되어 전기적으로 절연됨에 따라 전식 현상을 완화할 수 있는 효과가 있다. 예를 들어, 라인-온-글래스 배선(411C)을 통해 -5V의 전압값을 갖는 게이트 로우 전압(Vg1)이 전송되고, 화소전극(460N3)이 라인-온-글래스 배선(411C)과 전기적으로 접촉될 경우에 화소전극(460N3)에 -5V의 전압값이 인가된다.

<117> 따라서, -5V의 전압값이 인가된 화소전극(460N3)과 컬러필터 기판에 Cr 재질로 형성되는 블랙 매트릭스와의 전식 현상이 발생되는데, -5V의 전압값이 상기 화소전극(460N3)에 해당하는 면적에만 인가되므로, 종래에 비해 전식 현상을 대폭 완화시킬 수 있게 된다.

#### 【발명의 효과】

<118> 상술한 바와같이 본 발명에 의한 액정 표시패널 및 그 제조방법은 박막 트랜지스터 어레이 기판의 모서리 영역에 실장되는 라인-온-글래스 배선들과 각각 대응되어 중첩되도록 복수의 화소전극들을 형성하되, 서로 전기적으로 절연되도록 패터닝한다.

<119> 따라서, 상기 라인-온-글래스 배선들을 통해 전송되는 전기신호의 특성 변동을 최소화할 수 있고, 상기 라인-온-글래스 배선들이 형성된 영역의 박막 트랜지스터 어레이 기판 상에 도전성 이물질이 흡착될 경우에도 라인-온-글래스 배선들이 전기적으로 접촉되는 쇼트 발생을 최소화할 수 있으며, 상기 복수의 화소전극들과 컬러필터 기판에 형성

되는 Cr 재질의 블랙 매트릭스와의 전식 현상을 완화할 수 있게 되어 액정 표시장치의 구동 불량을 최소화하고, 화질을 향상시킬 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

제1기판과; 상기 제1기판 상에 복수의 화소들이 배열되는 화상 표시부와; 상기 제1기판의 모서리 영역에 실장된 적어도 하나의 라인-온-글래스 배선과; 상기 라인-온-글래스 배선에 대응하여 적어도 하나의 중간막을 사이에 두고 중첩되며, 서로 전기적으로 절연된 복수의 투명전극들을 구비하여 구성되는 것을 특징으로 하는 액정 표시패널.

**【청구항 2】**

제 1 항에 있어서, 상기 라인-온-글래스 배선은 게이트 하이전압( $V_{gh}$ ), 게이트 로우전압( $V_{gl}$ ), 공통전압( $V_{com}$ ), 접지전압( $GND$ ) 및 전원전압( $V_{cc}$ ) 등과 같은 직류 신호들과 게이트 스타트 펄스( $GSP$ ), 게이트 쉬프트 클럭( $GSC$ ) 및 게이트 인에이블 신호( $GOE$ ) 등과 같은 교류 신호들을 전송하는 것을 특징으로 하는 액정 표시패널.

**【청구항 3】**

제 1 항에 있어서, 상기 중간막으로 게이트 절연막이 적용된 것을 특징으로 하는 액정 표시패널.

**【청구항 4】**

제 1 항에 있어서, 상기 중간막으로 게이트 절연막, 반도체층 및 보호막이 적층된 3중막이 적용된 것을 특징으로 하는 액정 표시패널.

**【청구항 5】**

제 4 항에 있어서, 상기 보호막으로 벤조싸이클로부텐(BCB), 에스오지(SOG) 및 포토-아크릴(photoacryl) 중에 선택된 하나의 유기물질막이 적용된 것을 특징으로 하는 액정 표시패널.

**【청구항 6】**

제 1 항에 있어서, 상기 투명전극으로 화소전극이 적용된 것을 특징으로 하는 액정 표시패널.

**【청구항 7】**

제1기판의 일측 단변 및 일측 장변이 돌출되도록 제1기판과 제2기판을 합착시키는 실 패턴과; 상기 제1기판의 일측 단변 및 일측 장변이 만나는 모서리 영역에 형성된 적어도 하나의 라인-온-글래스 배선과; 상기 라인-온-글래스 배선이 형성된 제1기판의 상면에 형성된 제1절연막 및 반도체층과; 상기 반도체층의 상면에 형성되며, 상기 실 패턴이 지나는 영역을 따라 일정하게 이격되어 제1절연막을 노출시키는 복수의 접착 홀들이 구비된 제2절연막과; 상기 라인-온-글래스 배선에 대응하여 중첩되며, 상기 제2절연막에 구비된 복수의 접착 홀들을 포함한 제2절연막의 상면에 서로 일정하게 이격되도록 패턴닝된 복수의 투명전극들을 구비하여 구성되는 것을 특징으로 하는 액정 표시패널.

**【청구항 8】**

제 7 항에 있어서, 상기 제1절연막으로 게이트 절연막이 적용된 것을 특징으로 하는 액정 표시패널.

**【청구항 9】**

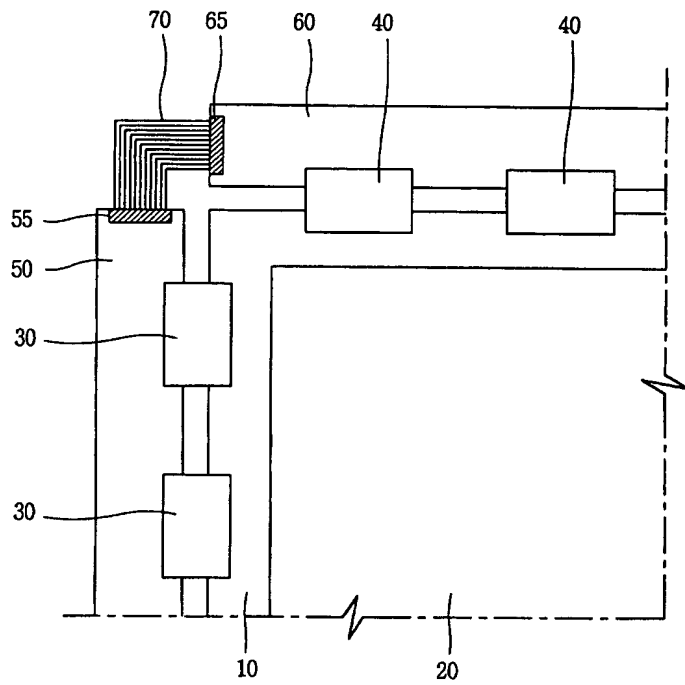
제 7 항에 있어서, 상기 제2절연막으로 벤조싸이클로부텐(BCB), 에스오지(SOG) 및 포토-아크릴(photoacryl) 중에 선택된 하나의 유기물질막이 적용된 것을 특징으로 하는 액정 표시패널.

**【청구항 10】**

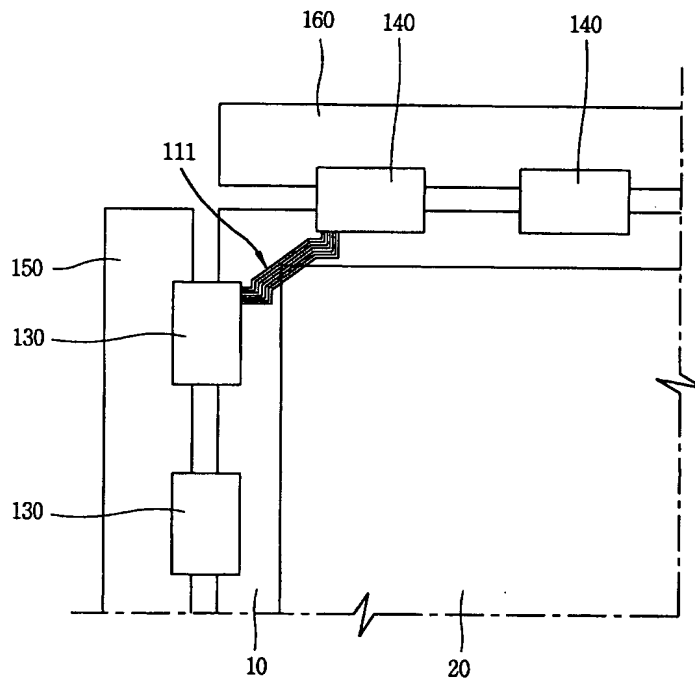
제 7 항에 있어서, 상기 투명전극으로 화소전극이 적용된 것을 특징으로 하는 액정 표시패널.

【도면】

【도 1】

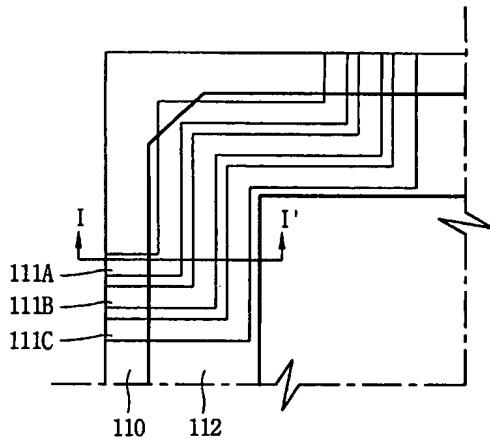


【도 2】

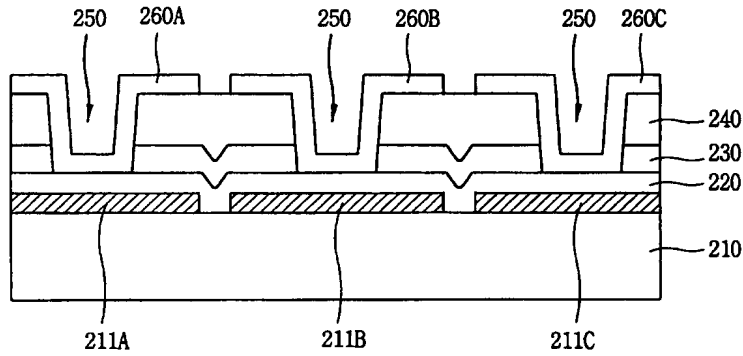




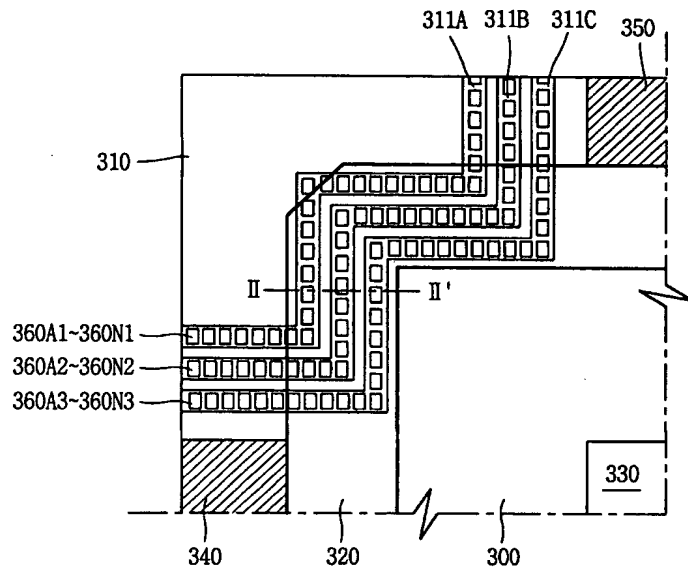
【도 3】



【도 4】



【도 5】



【도 6】

